

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07283168 A**

(43) Date of publication of application: **27.10.95**

(51) Int. Cl

H01L 21/28

H01L 21/324

H01L 21/768

H01L 29/78

H01L 21/336

(21) Application number: **06077246**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **15.04.94**

(72) Inventor: **TSUTSUMI TOSHIAKI
MAEKAWA KAZUYOSHI**

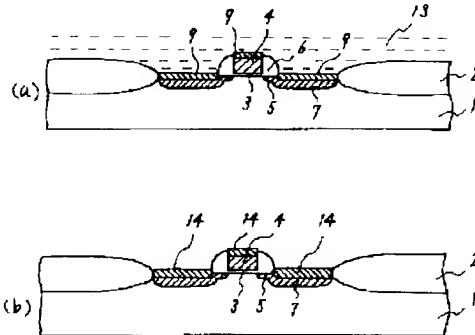
**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF**

(57) Abstract:

PURPOSE: To enable a semiconductor device of salicide structure where a junction is protected against damage to be easily manufactured.

CONSTITUTION: In a salicide process in the manufacture of a semiconductor device, a Co-rich metal silicide film 9 is formed on an exposed silicon part through a first thermal treatment after a Co film is formed, then a Co film 9 left unreacted is removed, and a second thermal treatment is carried out in an SiH₄ atmosphere 13 so as to form an Si-rich metal silicide layer 14.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-283168

(43)公開日 平成7年(1995)10月27日

(51) Int.Cl.⁶

H 01 L 21/28
21/324
21/768

識別記号 301 S

Z

F I

技術表示箇所

H 01 L 21/90
29/78 301 P

審査請求 未請求 請求項の数11 O L (全10頁) 最終頁に続く

(21)出願番号

特願平6-77246

(22)出願日

平成6年(1994)4月15日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 堀 聰明

伊丹市瑞原4丁目1番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内

(72)発明者 前川 和義

伊丹市瑞原4丁目1番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内

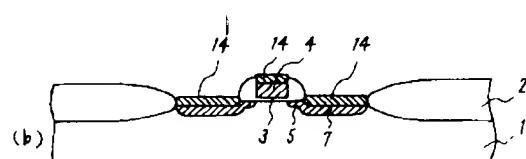
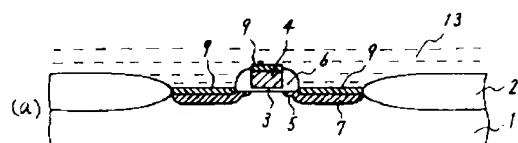
(74)代理人 弁理士 高田 守

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 接合破壊が防止されたサリサイド構造の半導体装置を、容易に製造する。

【構成】 半導体装置の製造におけるサリサイド工程において、C₆₀膜8形成後、第1の熱処理により、露出したシリコン部分上にC₆₀リッチな金属シリサイド膜9を形成し、次いで未反応のC₆₀膜9を除去した後、SiH₄雰囲気13で第2の熱処理を施してSiリッチな金属シリサイド層14を形成する。



1: 半導体基板

2: 素子分離用シリコン酸化膜

3: ゲート酸化膜

4: ゲート電極

5: LDD領域

6: サイドウォール

7: ソース・ドレイン領域

9: 金属シリサイド膜

13: SiH₄雰囲気

14: 金属シリサイド層

【特許請求の範囲】

【請求項1】 半導体基板上に選択的に形成された絶縁膜から露出したシリコン部分上に自己整合的に金属シリサイト層を形成して成る半導体装置の製造方法において、上記露出したシリコン部分を含む半導体基板上を全面に金属膜を堆積する工程と、次いで第1の熱処理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属リッチな金属シリサイト膜を形成する工程と、次いで未反応の上記金属膜を除去する工程と、次いでシリコン系ガス雰囲気において第2の熱処理を行い、上記金属リッチな金属シリサイト膜をシリコンリッチな金属シリサイト層に変成させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 第2の熱処理を、第1の熱処理よりも高い温度で、かつ半導体基板に形成された絶縁膜上にポリシリコン膜が形成されない温度で行うこととする請求項1記載の半導体装置の製造方法。

【請求項3】 第2の熱処理を、シリコン系ガス雰囲気で塩素を含むガスを導入して行うこととする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】 第2の熱処理の後、更に第3の熱処理を、第2の熱処理よりも高温で短時間行い、金属シリサイト層を更に低抵抗化させることとする請求項1ないし請求項3のいずれかに記載の半導体装置の製造方法。

【請求項5】 半導体基板上に選択的に形成された絶縁膜から露出したシリコン部分上に自己整合的に金属シリサイト層を形成して成る半導体装置の製造方法において、上記露出したシリコン部分を含む半導体基板上を全面に金属膜を堆積する工程と、次いで第1の熱処理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属リッチな金属シリサイト膜を形成する工程と、次いで未反応の上記金属膜を除去する工程と、次いで全面に上記金属膜とは異なる種類の金属によるシリコンリッチな第2の金属シリサイト膜を形成する工程と、次いで第2の熱処理を行い上記金属リッチな金属シリサイト膜をシリコンリッチな金属シリサイト層に変成させる工程と、次いで不要な第2の金属シリサイト膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 第2の熱処理後、第2の金属シリサイト膜をバターニングして金属シリサイト配線層を形成する工程を含むことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 半導体基板上に、素子分離用絶縁膜、ゲート酸化膜、ゲート電極、LDD領域、絶縁膜サイトウォールおよびソース・ドレイン領域を順次形成する工程と、その後上記ソース・ドレイン領域上または、上記ソース・ドレイン領域上とゲート電極上とに自己整合的に金属シリサイト層を形成する工程とを含むことを特徴とする請求項1ないし請求項6のいずれかに記載の半導体

【装置の製造方法】

【請求項8】 半導体基板上に、素子分離用絶縁膜を形成後、コレクターステップ、エミッタとなるそれそれの拡散層およびそれらの電極取り出し部を形成する工程と、その後上記電極取り出し部上に自己整合的に金属シリサイト層を形成する工程とを含むことを特徴とする請求項1ないし請求項6記載のいずれかに記載の半導体装置の製造方法。

【請求項9】 半導体基板上に選択的に形成された絶縁膜から露出したシリコン部分上に自己整合的に金属シリサイト層を形成して成る半導体装置において、上記金属シリサイト層とは異なる種類の金属による金属シリサイト配線層が、局部配線として上記金属シリサイト層に接続され、しかもこの金属シリサイト配線層中のS/Iの量が化学量論組成とほぼ等しいことを特徴とする半導体装置。

【請求項10】 半導体基板上にゲート電極およびソース・ドレイン領域を有し、上記ソース・ドレイン領域上または、上記ソース・ドレイン領域上と上記ゲート電極上に金属シリサイト層が形成されたことを特徴とする請求項9記載の半導体装置。

【請求項11】 半導体基板上にコレクターステップ、エミッタとなるそれそれの拡散層およびそれらの電極取り出し部を有し、この電極取り出し部上に金属シリサイト層が形成されたことを特徴とする請求項9記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置およびその製造方法に關し特に露出したシリコン部分上に、シリサイト層を形成するものに關する。

【0002】

【従来の技術】 近年、LSIの高集積化に伴って、配線層と拡散層との接続部のコンタクト抵抗の低減や、低抵抗のゲート、ソース、ドレイン形成のため、露出したシリコン部分上にシリサイト層を自己整合的に形成するシリサイト技術は、重要な技術の一つである。

【0003】 図5は従来のシリサイト構造の半導体装置の製造方法である。まず、P型の単結晶シリコンから成る半導体基板1(以下、基板と称す)に、素子分離用絶縁膜としての素子分離用シリコン酸化膜2を形成後、ゲート酸化膜3を例えれば1.0~2.0nmの膜厚に形成し、その上にゲート電極4となるポリシリコン膜を堆積して、ゲート酸化膜3およびその上にゲート電極4をバターニングする。続いてイオン注入法により、例えればP濃度が $1.0^{18}~1.0^{19}~\text{cm}^{-3}$ 程度の低濃度でドーピングされたn型拡散領域5(以下、LDD領域と称す)を、ゲート電極4下の両側の基板1に形成し、次いで、ゲート電極4側壁に絶縁膜サイトウォール6としてのシリコン酸化膜から成るシリサイトウォール6を例えれば0.2~0.3μmの幅に形

成後、再びイオン注入法により、例えば、As濃度が10²⁰ / cm³程度の高濃度にドープされたn⁺拡散領域7(以下、ソース・ドレイン領域と称す)を約1 μm程度の深さに形成する(図5 (a))。

【0004】次に、基板1上の全面に、スピクタ法により金属膜8としてCr膜8を20～50 nmの膜厚に堆積する(図5 (b))。次に、ランプアーチ法により、アーチル温度を400～500°C、処理時間を数十秒、ArまたはN₂雰囲気中で、基板1に第1の熱処理を行う。これにより、Cr膜8のCr₂S₁と基板1のS₁とが反応してゲート電極4およびソース・ドレイン領域7上に約2 nmのCr₂S₁を含むCrシリサイト層1-2を形成される。このとき反応に使われるS₁の厚さはせいぜいCr膜8の膜厚と同程度である(図5 (c))。

【0005】次に、未反応のCr膜8を例えば、塩酸と過酸化水素水の混合液等によりシリコン除去する(図5 (d))。次に、再びランプアーチ法により、アーチル温度を650°C以上、例えば700°C、処理時間を数十秒として基板1に第2の熱処理を行う。これにより、第1の熱処理で形成されたCrシリサイト層1-2を含むCr₂S₁と基板1のS₁とが反応してゲート電極4と拡散領域5、7をつなげてショートする。

【0006】上記の様に、第1および第2の熱処理によって金属シリサイト層1-0を形成するが、その理由については特公平3-67334号公報に示される様に、最初から650°C以上の高温で熱処理を施すと、拡散領域5、7中のS₁が、シリコンオーバル6をはい上がりゲート電極4と拡散領域5、7をつなげてショートする。

【0007】

【発明が解決しようとする課題】上記の様な従来の方法では、金属シリサイト層1-0形成のためのS₁は全て基板1から消費される。第1の熱処理の際、S₁の消費量はCr膜8の膜厚(20～50 nm)と同程度の厚さであるが、第2の熱処理ではS₁の消費量が多く、また金属シリサイト層1-0の膜厚の変動が大きいため、図6に示すA₁と様に、ソース・ドレイン領域7が侵食されて薄くなり、0.1～1 μm以下となることもあつた。このため接合部での耐圧がなくなりリーク電流が増大する等接合が破壊されるという問題があつた。

【0008】このような接合破壊の問題を回避する為、予め接合深さをより深く形成する事はショートチャネル効果が生じる為、望ましくない。浅い接合のまま、接合破壊を回避する方法は、従来から以下に示すものが考案されており、図7を用いて説明する。特開昭64-47050号公報に示す様に、先に示した第1の熱処理後、未反応のCr膜8を除去し(図5 (a)～図5 (d) 参照)、次いで、基板1上の全面にポリシリコン膜1-1を

堆積し(図7 (a))、続いて再び熱処理を施すことにより、第1の熱処理で形成されたCrシリサイト層1-2を形成する。このとき反応に使われるS₁は下層の基板1と、上層のポリシリコン膜1-1との両方から供給される(図7 (b))。その後、未反応のポリシリコン膜1-1をヘテロエピタキシカル法により除去し(図7 (c))、所定の処理を施して半導体装置を完成する。

【0009】この様な製造方法では、金属シリサイト層1-0形成のためのS₁は、この目的の熱処理時に半シリコン膜1-1からも供給され、基板1側のS₁の消費量はその分低減する。このためソース・ドレイン領域7における接合破壊の防止には効果があるものである。

【0010】しかしながら、後工程で未反応のものを除去するが、シリコン膜1-1を形成する為、工程が繁雑となる。また、ポリシリコン膜1-1を除去する際に、下層の金属シリサイト層1-0上のエッチングの選択性が小さく、オーバーエッチングになり易い等製造上の問題があつた。

【0011】この発明は上記の様な問題点を解決する為にされたもので、シリサイト構造の半導体装置を、接合を破壊することなし、容易に信頼性良く製造することを目的とする。更に、配線抵抗を安定化し信頼性の高い半導体装置を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置の製造方法は、露出したシリコン部分を含む半導体基板上に全面に金属膜を堆積する工程と、次いで第1の熱処理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属シリサイト層を形成する工程と、次いで未反応の上記金属膜を除去する工程と、次いでシリコン系ガス雰囲気において第2の熱処理を行い、上記金属シリサイト層に変成させる工程とを含むものである。

【0013】この発明に係る請求項2記載の半導体装置の製造方法は、第2の熱処理を、第1の熱処理よりも高い温度で、かつ半導体基板に形成された絶縁膜上にポリシリコン膜が形成されない温度で行うものである。

【0014】この発明に係る請求項3記載の半導体装置の製造方法は、第2の熱処理を、シリコン系ガス雰囲気中に窒素を含むガスを導入して行うものである。

【0015】この発明に係る請求項4記載の半導体装置の製造方法は、第2の熱処理の後、更に第3の熱処理を、第2の熱処理よりも高温で短時間行い、金属シリサイト層を更に低抵抗化させるものである。

【0016】この発明に係る請求項5記載の半導体装置の製造方法は、露出したシリコン部分を含む半導体基板上の全面に金属膜を堆積する工程と、次いで第1の熱処

理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属リッチな金属シリサイト膜を形成する工程と、次いで未反応の上記金属膜を除去する工程と、次いで全面に上記金属膜とは異なる種類の金属によるシリコンリッチな第2の金属シリサイト膜を形成する工程と、次いで第2の熱処理を行い上記金属リッチな金属シリサイト膜をシリコンリッチな金属シリサイト層に変成させる工程と、次いで不要な第2の金属シリサイト膜を除去する工程などを含むものである。

【0017】この発明に係る請求項6記載の半導体装置の製造方法は、第2の熱処理後、第2の金属シリサイト膜をコターニングして金属シリサイト配線層を形成する工程を含むものである。

【0018】この発明に係る請求項7記載の半導体装置の製造方法は、半導体基板上に、素子分離用絶縁膜、ゲート酸化膜、ゲート電極、LDD領域、絶縁層サブドロップホールおよびゲート・ドライブ領域を順次形成する工程と、その後上記ゲート・ドライブ領域上または、上記ゲート・ドライブ領域上とゲート電極上とに自己整合的に金属シリサイト層を形成する工程などを含むものである。

【0019】この発明に係る請求項8記載の半導体装置の製造方法は、半導体基板上に、素子分離用絶縁膜を形成後、コレクタ・ベース、エミッタとなるそれそれの拡散層およびそれらの電極取り出し部を形成する工程と、その後上記電極取り出し部上に自己整合的に金属シリサイト層を形成する工程などを含むものである。

【0020】この発明に係る請求項9記載の半導体装置は、金属シリサイト層とは異なる種類の金属による金属シリサイト配線層が、局部配線として上記金属シリサイト層に接続され、しかもこの金属シリサイト配線層中のS₁の量が化学量論組成とほぼ等しいものである。

【0021】この発明に係る請求項10記載の半導体装置は、ソース・ドレイン領域上、または、上記ソース・ドレイン領域上とゲート電極上とに金属シリサイト層が形成されたものである。

【0022】この発明に係る請求項11記載の半導体装置は、半導体基板上にコレクタ・ベース、エミッタとなるそれそれの拡散層およびそれらの電極取り出し部を有し、この電極取り出し部上に金属シリサイト層が形成されたものである。

【0023】

【作用】上記の様にこの発明によると、第1の熱処理を行って金属リッチな金属シリサイト膜を形成し、未反応の金属膜を除去した後、第2の熱処理をシリコン系ガス雰囲気で行う。この第2の熱処理により上記金属リッチな金属シリサイト膜がシリコンリッチな金属シリサイト層に変化するか、その反応に消費されるS₁は、金属シリサイト膜下層の基板からだけではなく、上層の第2の金属シリサイト膜からも供給される。このためS₁の消費による基板の侵食が低減し接合破壊が防止される。また反応に用いられた第2の金属シリサイト膜は、後工程で除去する際、下地の金属シリサイト層とのエッチング選択性が大きいため、オーバーエッチング等の問題がなく製造工程が容易で信頼性が向上する。

障害形成を除去等を繁雑な工程を必要とせずに容易に信頼性良好、自己整合的に金属シリサイト層が形成できる。

【0024】また、第2の熱処理を、第1の熱処理よりも高い温度で、かつ絶縁膜上に溶けたシリコン障が形成されない温度で行うため、シリコン系ガス雰囲気で熱処理であっても、絶縁膜上に溶けたシリコン障が形成されて絶縁性を劣化させたりすることはない。シリコンガスは金属シリサイト膜上のみで反応し、自己整合的に金属シリサイト層を形成する。

【0025】また、第2の熱処理を、シリコン系ガス雰囲気に塩素を含むガスを導入して行うため、塩素の働きにより絶縁膜上に溶けたシリコン障が形成されるのを防止し、熱処理条件等のプロセスを簡化するが信頼性が向上する。

【0026】また、第2の熱処理後、さもなく第3の熱処理を行うことにより、金属シリサイト層を更に低抵抗で安定なものにする。この第3の熱処理では、第3の熱処理によりシリコン障形成の可能性がないため、高温で短時間で十分効果がある。

【0027】さらに、この発明によると、第1の熱処理を行って金属リッチな金属シリサイト膜を形成し、未反応の金属膜を除去した後、全面に、上記金属膜とは異なる種類の金属によるシリコンリッチな第2の金属シリサイト層を形成して第2の熱処理を行う。この第2の熱処理により上記金属リッチな金属シリサイト膜がシリコンリッチな金属シリサイト層に変化するが、その反応に消費されるS₁は、金属シリサイト膜下層の基板からだけではなく、上層の第2の金属シリサイト膜からも供給される。このためS₁の消費による基板の侵食が低減し接合破壊が防止される。

【0028】また、第2の熱処理の反応に用いられた第2の金属シリサイト膜を、コターニングして金属シリサイト配線層として用いるため、製造工程が簡便で容易であるとともに、第2の金属シリサイト膜は第3の熱処理の際にS₁を供給しているために化学量論組成を越える余分なS₁がほとんどなく、金属シリサイト配線層中のS₁析出の発生が防止され、配線の信頼性が向上する。

【0029】さらにまた、この発明による金属シリサイト層形成の方法をMOS型半導体装置に適用するため、シリサイト構造のMOS型半導体装置の接合破壊を防止して、容易に信頼性良好で製造できる。

【0030】また、この発明による金属シリサイト層形成の方法をBip型半導体装置に適用するため、シリサイト構造のBip型半導体装置の接合破壊を防止して、容易に信頼性良好で製造できる。

【0031】また、この発明によると、局部配線として

形成された金属シリサイト配線層中のS₁の量が化学量論組成とほぼ等しいため、金属シリサイト配線層中に余分なS₁がなくS₁析出の発生が防止されて配線抵抗を安定した信頼性の高い半導体装置が得られる。

【0032】また、この発明による金属シリサイト配線層を、シリサイト構造のMOS型半導体装置に適用するため、金属シリサイト配線層中のS₁析出が防止され、配線抵抗の安定した信頼性の高い、シリサイト構造のMOS型半導体装置が得られる。

【0033】また、この発明による金属シリサイト配線層を、シリサイト構造のB-p型半導体装置に適用するため、金属シリサイト配線層中のS₁析出が防止され、配線抵抗の安定した信頼性の高い、シリサイト構造のB-p型半導体装置が得られる。

【0034】

【実施例】

実施例1、以下、この発明の実施例を図に付いて説明する。なお、従来の技術と重複する箇所は適宜その説明を省略する。図1は、この発明の実施例1による半導体装置の製造方法を示す断面図である。まず、従来のものと同様に、基板1に素子分離用シリコン酸化膜2を形成後、ゲート酸化膜3、ゲート電極4、ILD領域5、シリサイトウォール6およびソース・ドレイン領域7を順次形成し、その後、全面にC₆膜8を堆積後、従来のものと同様に第1の熱処理を施してC₆リッチな金属シリサイト膜9を形成し、未反応のC₆膜8を除去する(図1(a)～図1(b)参照)。

【0035】次に、ランプアホール法により、基板1に第2の熱処理をシリコンガス雰囲気としてのS₁H₄雰囲気13中で行う。処理条件は、アーモル温度を560～600°C、S₁H₄流量を数百sccm(例えば200sccm)、Ar流量を数s1m(例えば4s1m)、圧力を数～数十Tor(例えば5Tor)、処理時間を約1時間に設定する(図1(a))。これにより、第1の熱処理で形成されたC₆リッチな金属シリサイト膜9が変化し、低抵抗なC₆S₁₂などのS₁リッチな金属シリサイト層14をゲート電極4およびソース・ドレイン領域7上に形成する(図1(b))。この後、所定の処理を施して半導体装置を完成する。

【0036】上記実施例1では第2の熱処理をS₁H₄雰囲気13中で行うため、シリサイト層14形成に必要なS₁は、下層の基板1からだけではなく、S₁H₄カスからも供給される。例えば、「吸着」(慶伊富長著、共立全書p58～に示す様に、金属特に遷移金属表面には、一般に触媒作用があり、すなわち、気体分子を化学吸着し、分子を分解する作用がある。こりなや、上記実施例1の第2の熱処理において、C₆リッチな金属シリサイト膜9上でS₁H₄は吸着・かか分解し易く、従って金属シリサイト膜9はS₁とさらに反応する。一方、シリコン酸化膜2およびシリサイトウォール6上では、金属

表面のような触媒作用はないが、650°C程度以上となるとこれらの表面にポリシリコン膜が形成され易く、触媒性が劣化するため、ポリシリコン膜が形成されない低温で、金属シリサイト層14の低抵抗値が減少して安定化するのに十分な時間(1時間程度)、熱処理を行う。

【0037】この第2の熱処理において、金属シリサイト層14形成のためのS₁消費量は、基板1とS₁H₄カスとでは同量であり、例えば、形成時のC₆膜8の膜厚を約20nmとするとき、基板1から約0.5nmの厚さでS₁を消費される。前工程の第1の熱処理での基板1のS₁消費量はC₆膜8の膜厚と同程度であるため、基板1の侵食は4.5nm程度となり約0.1μmの深さに形成されたシリサイト層14の接合部に破壊されない。こりとき金属シリサイト層14は約7.0nmの厚さとなる。この様に、第2の熱処理をS₁H₄雰囲気13中で行うため、C₆リッチな金属シリサイト膜9からシリコニアリーフで低抵抗な金属シリサイト層14との反応に必要なS₁は、S₁H₄カスと基板1との双方から供給され、基板1のS₁消費量は低減され、接合破壊は防止される。

【0038】また、ポリシリコン膜11を金属シリサイト膜9上に形成して第2の熱処理を行い、更に未反応のポリシリコン膜11を除去する。従来の接合破壊回避方法の様な繁雑な工程を省まず、容易に信頼性良いシリサイト構造の半導体装置を得ることができる。

【0039】なお、上記実施例1では金属シリサイト層14形成を第2の熱処理を施すが、S₁H₄雰囲気13中の第2の熱処理の後、続いてArまたはN₂雰囲気中で650°C以上(例えば700°C)で数十秒のランプアホール法による第3の熱処理を施しても良い。これにより、金属シリサイト層14の抵抗値は更に減少して安定化する。この第3の熱処理では、ポリシリコン膜形成等の問題がないため、第2の熱処理よりも高温に短時間で処理できる。

【0040】また、上記実施例1では第2の熱処理にS₁H₄カスを用いたが、S₁H₂H₆等の高次シランや、S₁H₂C₁₂、S₁H₂F₃等のシリコンと水素又はシリコンと水素との化合物ガス、又はこれらの混合ガス、例えばS₁H₄とS₁H₂C₁₂との混合ガスでも同様の効果が得られる。さらに、上記の様なシラン系ガスにシリコン数%の量の塩素を含むガスを混合させても良い。シリコン酸化膜2やシリサイトウォール6上に塩素が付着することにより、これらに上にポリシリコン膜が形成されるのを防止するため、温度や圧力等のプロセスマージンが広がり、プロセスの信頼性が向上する。

【0041】また、上記実施例1では、金属膜としてC₆膜8を例を示したが、その他、Ni、Pt、W、Mo、Ti、Ta等の遷移金属、または、これらを組み合わせて成る合金や積層膜であっても良い。

【0042】実施例2、次に、この発明の実施例2によ

る半導体装置の製造方法を図2に基いて以下に示す。まず、上記従来のものおよび実施例1のものと同様に、LDD構造のnMOSトランジスタを形成後、全面にCo膜8を堆積し、第1の熟処理を施し、Coシリコン金属シリサイト膜9を形成後、未反応Co膜8を除去する(図5-(a)～図5-(c)参照)。

【0043】次に、基板1上の全面に、例えばCVD法によりCo膜8とは異なる金属の第2の金属シリサイト膜としてTiシリサイト膜15を0.1～0.1～1nm程度の膜厚に形成する。このとき用いるTiシリサイト膜15はアモルファス状態で、Ti原子1つに対してSi原子1～3～6S₁のモル比を有する(図5-(a))。次に、ラジオアーチ法により、アーチ温度を650℃以上、例えば900℃、処理時間数十分で、基板1に第2の熟処理を施す。これによりCoシリコン金属シリサイト膜9は、上層のSi₁～₃モル比のTiシリサイト膜15と下層の基板1との双方からSi₁の供給を受けて変化し、Co₂S₁などの低抵抗でSiシリコン金属シリサイト膜16をゲート電極4(6)までバース・ドリル領域7上に形成する。このときTiシリサイト膜15はモルアモル比が反応を進め低抵抗なTi₁S₁となる(図2-(b))。次にTiシリサイト膜15をバース・ドリルによって金属シリサイト配線層としてTi₁S₁配線層15aを形成する(図2-(c))。この後、所定の処理を施して半導体装置を得る。

【0044】この第2の熟処理において、金属シリサイト層16が形成されSi₁消費量は下層の基板1と上層のTiシリサイト膜15とではほぼ同量であり、上記実施例1と同様に、基板1が侵食による接合破壊は防止される。またTiシリサイト膜15は低抵抗なTi₁S₁となりTi₁S₁配線層15aに用いることができるという利便性がある。ところで、通常CVD法やスパッタ法で金属シリサイト配線層を形成する場合、膜のストレインによるはかれを防止するため、膜中に化学量論組成を越えるSi₁を含むように形成する。これにより、その後の熟処理等で膜中にSi₁析出の発生を生じさせた。これに対し上記実施例2におけるTi₁S₁配線層15aは金属シリサイト層16形成の為にSi₁を供給したために化学量論組成を越える余分なSi₁がほとんどなく、配線層中にSi₁析出が生じて配線抵抗が上昇する等の問題が防止される。

【0045】なお、上記実施例2のTi₁S₁配線層15aのように、金属シリサイト配線層を、配線層中のSi₁の量が化学量論組成とほぼ等しいように構成すれば、上記の様な形成方法に限るものではなく、配線層中のSi₁析出の発生が防止された半導体装置が得られる。

【0046】なお、上記実施例2では、第2の熟処理後にTiシリサイト膜15をバース・ドリルによってTi₁S₁配線層15aを形成したが、全面エッチングにより除去しても良い。従来のポリシリコーン膜11を用いる接合破

壊回避方法に比べ、Tiシリサイト膜を除去する際、下地の金属シリサイト層16とは金属の種類が違うためエッチングで選択比が大きい。例えば塩素系エッチャングガスを用いた場合、Ti₁S₁とポリシリコーンでは選択比が最高1.5程度であるのに対しTi₁S₁とCo₂S₁では選択比が最高2.0程度である。このためエッチング等の問題が無く信頼性が向上する。

【0047】また、上記実施例2では、Coのシリサイト膜9上にTiシリサイト膜15を形成したが、CoやTiの金属に限らず、2～3モル比のシリサイト膜9、15の金属の種類が異なるものであれば良い。双方共、他のNi、Pt、W、Mo、Ta、Ti_x、Cr等の遷移金属やこれらの複数の組み合せから成る合金や積層膜のシリサイトが適用できる。

【0048】実施例3、上記実施例1および実施例2では、nMOSトランジスタのゲート電極4およびバース・ドリル領域7がシリサイト構造のものと示したが、pMOSトランジスタにおいても同様に適用できるとは言えまでもなく、またソース・ドリル領域7のみをシリサイト構造としても良い。図3に基いて以下に示す。まず、P型基板1に素子分離用シリコーン酸化膜2を形成後、基板1上の全面にゲート酸化膜3、ゲート電極4となる半導体膜、例えばTi₁S₁等の金属シリサイト膜17およびシリコーン酸化膜18を順次形成する。次に、ゲート酸化膜3、ゲート電極4、電極4シリサイト膜17およびシリコーン酸化膜18をバース・ドリル領域7に形成。バース・ドリル注入法によりLDD領域5を形成する。次いでシリコーン酸化膜から成るシリコーン酸化膜16を形成後、再びバース・ドリル注入法によりソース・ドリル領域7を形成する(図3-(a))。

【0049】この後、上記実施例2に従って、ソース・ドリル領域7のみをシリサイト構造にする。まず、基板1上の全面にCo膜8を堆積し(図3-(b))、第1の熟処理を施してCoシリコン金属シリサイト膜9をソース・ドリル領域7上に形成し(図3-(c))。その後未反応Co膜8を除去する(図3-(d))。次に、基板1上の全面にSi₁シリコン金属シリサイト膜15を形成し(図3-(e))、第2の熟処理を施してCoシリコン金属シリサイト膜9をSi₁シリコン金属シリサイト層16に変成させ、同時にTiシリサイト膜15を低抵抗なTi₁S₁とする(図3-(f))。この後必要に応じてTiシリサイト膜をバース・ドリルによってTi₁S₁配線層15aを形成し(図3-(g))、所定の処理を施して半導体装置を得る。

【0050】なお、上記実施例3では、ゲート電極4上には金属シリサイト膜17を介してシリコーン酸化膜18が形成されているため、金属膜が露出されておらず、ソース・ドリル領域7上にのみ自己整合的に金属シリサイト層16が形成され、ゲート電極4の絶縁性の高い半導体装置が得られる。金属シリサイト層16形成に関し

では、上記実施例2と全く同様の効果が得られる。

【0051】また、上記実施例3では、ソース・トランジスタ領域7をサリサイト構造とするのに上記実施例2の方法に従つたが、上記実施例1の方法に従つて、第1の熱処理後未反応のC_x膜8を除去し、シリコンガス雰囲気において第2の熱処理を施しても良い。この場合も、上記実施例1と同様の効果がある。

【0052】実施例4、次に、上記実施例1のサリサイト構造の形成方法をベーストランジスタに適用した例を、図4に基づいて以下に示す。まず、公知の方法により図4-(a)に示すシリコンガス雰囲気で、¹⁰基板1上に形成する。図において、1はP型基板、2は素子分離用シリコン酸化膜、19はコレクタとなるn⁻拡散層、19aはコレクタ電極取り出し部、20はn⁻拡散層、21はベースとなるP⁻拡散層、22はベース21の電極取り出し部としての電極取り出し層となるP⁻拡散層、23はエミッタとなるn⁻拡散層、24はエミッタ電極取り出し部としてのエミッタ電極である。各々の拡散層の組成と濃度は、ドイツ注入により形成されたものにおいては、コレクタ19が1.0¹⁸~1.0¹⁹ / cm³のA₁₅、n⁻拡散層20が1.0¹⁵~1.0¹⁶ / cm³のA₁₆、ベース21は1.0¹⁷~1.0¹⁸ / cm³のB、ベース電極取り出し層22は1.0¹⁸~1.0¹⁹ / cm³のBである。また、エミッタ23はエミッタ電極24をアシナイトで形成し、その後シリコン酸化物拡散により形成する。

【0053】次に、上記実施例1と同様の方法で、コレクタ電極取り出し部19a、ベース電極取り出し層22およびエミッタ電極24の上に自己整合的にシリサイト層を形成するサリサイト工程を説明する。まず、図4-(a)に示すシリサイトランジスタが形成された基板1上の全面にC_x膜8を堆積し(図4-(b))、第1の熱処理を施してC_xシリサイト膜9をコレクタ電極取り出し部19a、ベース電極取り出し層22、およびエミッタ電極24上に形成し(図4-(c))、その後未反応のC_x膜8を除去する(図4-(d))。次に、基板1上の全面にS₁シリサイトな金属シリサイト膜15を形成し(図4-(e))、第2の熱処理を施してC_xシリサイトな金属シリサイト膜9をS₁シリサイトな金属シリサイト層16に変成させ、同時にT₁シリサイト膜15を低抵抗なT₁S₁₂とする(図4-(f))。この後、必要に応じてT₁シリサイト膜15をパターニングしてT₁S₁₂配線層15aを形成し(図4-(g))、所定の処理を施して半導体装置を得る。

【0054】なお、上記実施例4では、シリサイト工程を上記実施例2の方法に従つて行ったが、上記実施例1の方法に従つても良い。また、上記実施例4ではn₊p_nトランジスタについて示したが、もちろんp_npトランジスタについても同様に適用できる。

【0055】

【発明の効果】以上と様に、この発明によれば、第2の熱処理をシリサイト構造で行つために、基板の侵食を低減して接合破壊の防止された信頼性の高いシリサイト構造の半導体装置が得られる。また繁雑な工程を省まずシリサイト構造の半導体装置の製造が容易で簡略となる。

【0056】また、シリサイト膜が絶縁膜上に形成されない温度で第2の熱処理を行つため、絶縁膜の絶縁性を劣化させることなく、信頼性の高いシリサイト構造の半導体装置が得られる。

【0057】また、シリコンガス雰囲気を含むガスを導入するため、絶縁膜上にガスが付着し膜が形成されるのを防止し、信頼性が向上する。

【0058】また、第2の熱処理後更に第3の熱処理を行つことにより、金属シリサイト層を更に低抵抗で安定なものにできる。

【0059】また、この発明によれば、全面に第2の金属シリサイト膜を形成後第2の熱処理を行い、その後不要な第2の金属シリサイト膜を除去するため、基板の侵食を低減して接合破壊の防止された信頼性の高いシリサイト構造の半導体装置が得られる。また第2の金属シリサイト膜をエッチング除去する際、ホーリー・エッジ等の問題がなく容易に除去できるため、シリサイト構造の半導体装置の製造が容易で信頼性が向上する。

【0060】また、第2の金属シリサイト膜を金属シリサイト配線層に利用するため、製造が簡便で容易である。さらにS₁析出が発生が防止された信頼性の高い金属シリサイト配線層が得られる。

【0061】さらに、この発明によればシリサイト構造のMOS型半導体装置およびB_np型半導体装置のいずれについても、接合破壊を防止して容易に信頼性の高い装置を製造できる。

【0062】また、この発明によれば、金属シリサイト配線層を、配線層中のS₁の量が化学量論組成とほぼ等しくなるように構成したため、金属シリサイト配線層中のS₁析出の発生が防止されて配線抵抗の安定した信頼性の高いシリサイト構造の半導体装置が得られる。

【0063】さらに、この発明によれば、シリサイト構造のMOS型半導体装置およびB_np型半導体装置のいずれについても、金属シリサイト配線層中のS₁析出の発生が防止されて配線抵抗の安定した信頼性の高いものが得られる。

【図面の簡単な説明】

【図1】 この発明の実施例1による半導体装置およびその製造方法を示す断面図である。

【図2】 この発明の実施例2による半導体装置およびその製造方法を示す断面図である。

【図3】 この発明の実施例3による半導体装置およびその製造方法を示す断面図である。

【図4】 この発明の実施例4による半導体装置および

その製造方法を示す断面図である。

【図5】 従来の半導体装置の製造方法を示す断面図である。

【図6】 従来の半導体装置の製造方法の問題点を説明する断面図である。

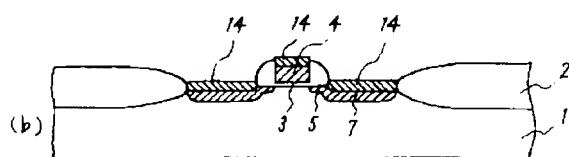
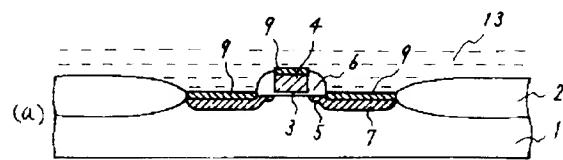
【図7】 従来の別例による半導体装置の製造方法を示す断面図である。

【符号の説明】

1 半導体基板、2 素子分離用絶縁膜としての素子分離用シリコン酸化膜、3 ゲート酸化膜、4 ゲート電極、5 LDD領域、6 絶縁膜サイドウォールとしてのサイドウォール、7 ソース・ドレイン領域、9 金属シリサイド膜としてのSiH₄零圧気、13 シラン系ガス零圧気としてのSiH₄零圧気、14 金属シリサイド層、15 第2の金属シリサイド膜としてのTiシリサイド膜、15a 金属シリサイド配線層としてのTiSi₂配線層、16 金属シリサイド層、19 コレクタ、19a コレクタ電極取り出し部、21 ベース、22 ベース電極取り出し部としてのベース電極取り出し層、23 エミッタ、24 エミッタ電極取り出し部としてのエミッタ電極。

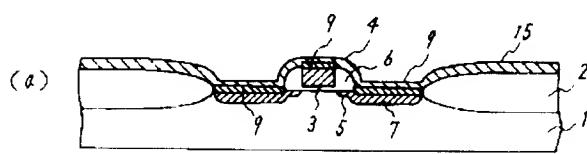
のサイドウォール、7 ソース・ドレイン領域、8 金属膜としてのC₆₀膜、9 金属シリサイド膜、13 シラン系ガス零圧気としてのSiH₄零圧気、14 金属シリサイド層、15 第2の金属シリサイド膜としてのTiシリサイド膜、15a 金属シリサイド配線層としてのTiSi₂配線層、16 金属シリサイド層、19 コレクタ、19a コレクタ電極取り出し部、21 ベース、22 ベース電極取り出し部としてのベース電極取り出し層、23 エミッタ、24 エミッタ電極取り出し部としてのエミッタ電極。

【図1】

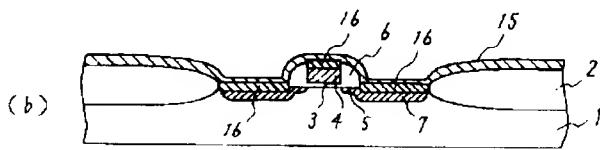


- 1: 半導体基板
- 2: 素子分離用シリコン酸化膜
- 3: ゲート酸化膜
- 4: ゲート電極
- 5: LDD領域
- 6: サイドウォール
- 7: ソース・ドレイン領域
- 9: 金属シリサイド膜
- 13: SiH₄零圧気
- 14: 金属シリサイド層

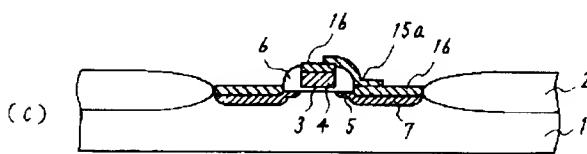
【図2】



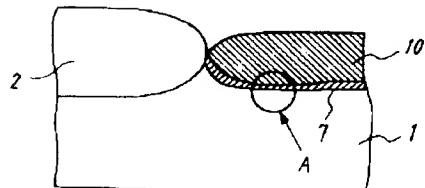
15: Tiシリサイド膜



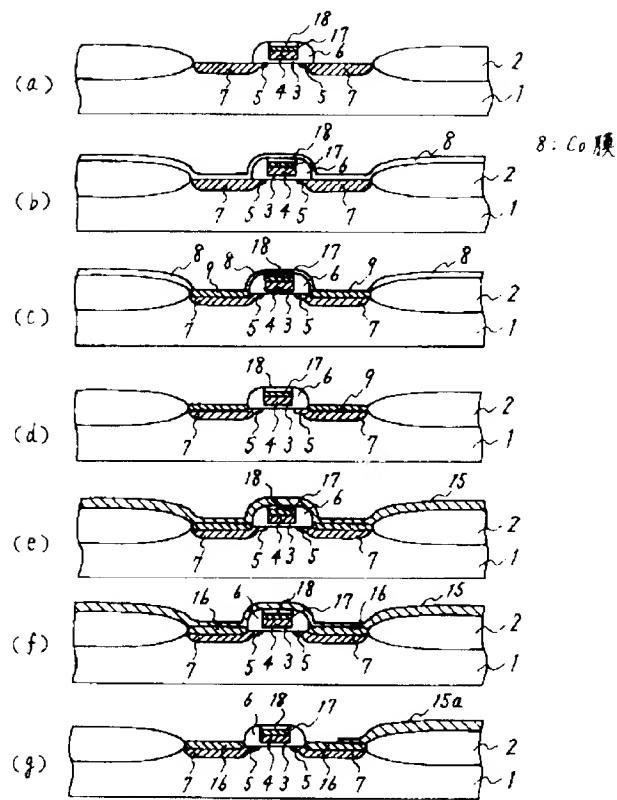
16: 金属シリサイド層

15a: TiSi₂配線層

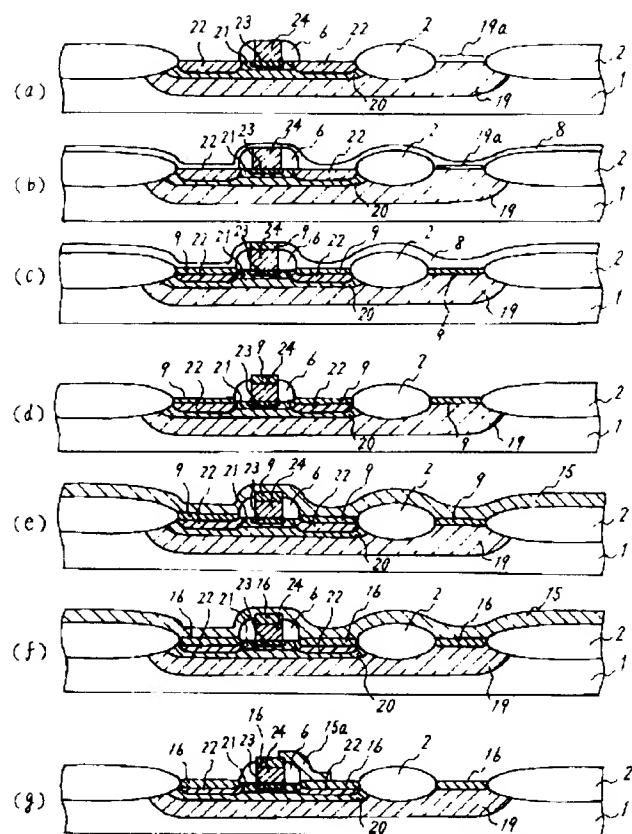
【図6】



【图3】

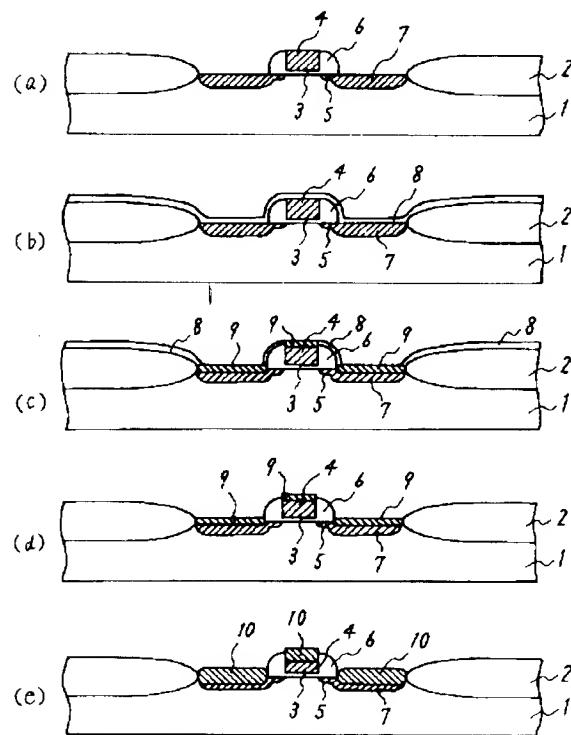


〔 三 4 〕

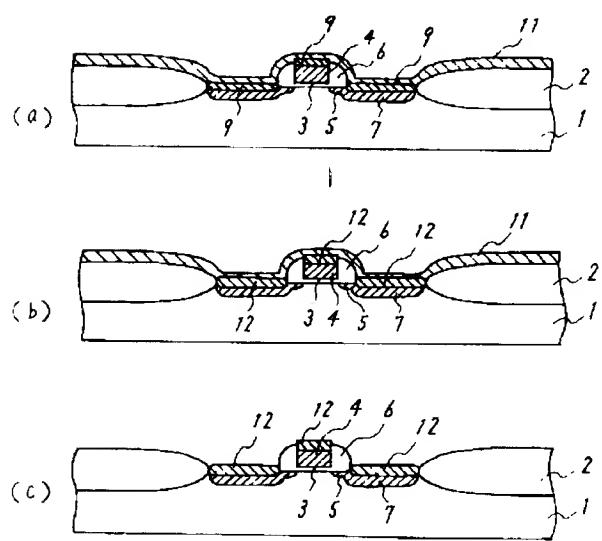


79:コレクタ	22:ベース電極取り出し層
79a:コレクタ電極取り出し部	23:エミッタ
21:ベース	24:エミッタ電極

[四 5]



【 7 】



フロントページの続き

(51) Int.C1.⁶ 識別記号 序内整理番号 F I 技術表示箇所
H O 1 L 29/78
21/336